

日本太陽エネルギー学会 太陽光発電部会
第4 回セミナー「太陽光発電システムの運用と保守」

PID についての総説

2013/06/03

エスペック株式会社
棚橋 紀悟

t-tanahashi@espec.co.jp

1

トピック：PID耐性

2012/6/11

ESPEC

Fraunhofer CSP presents results of potential induced degradation (PID)

2012/06/11

 Fraunhofer
CSP

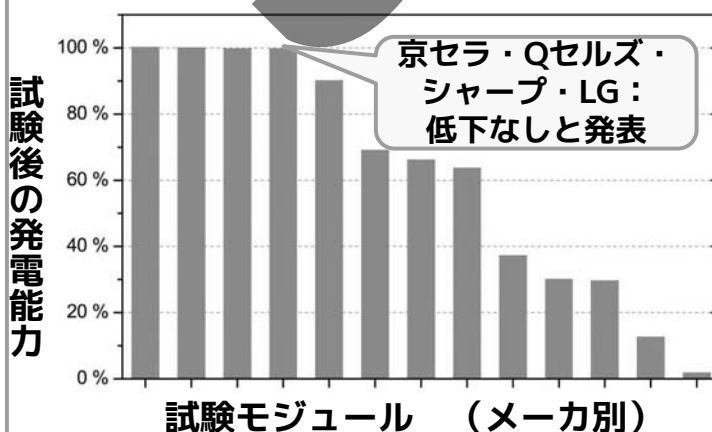
In the test the temperature (+50 °C) and the relative humidity (50 %) was increased thus the test duration was decreased to 48 h.

A negative voltage bias of -1000 V was applied. The modules were covered with a thin aluminum foil on the glass side to generate a homogeneous electric field.

50 °C / 50% RH, -1,000 V
48 hr, Aluminum Foil

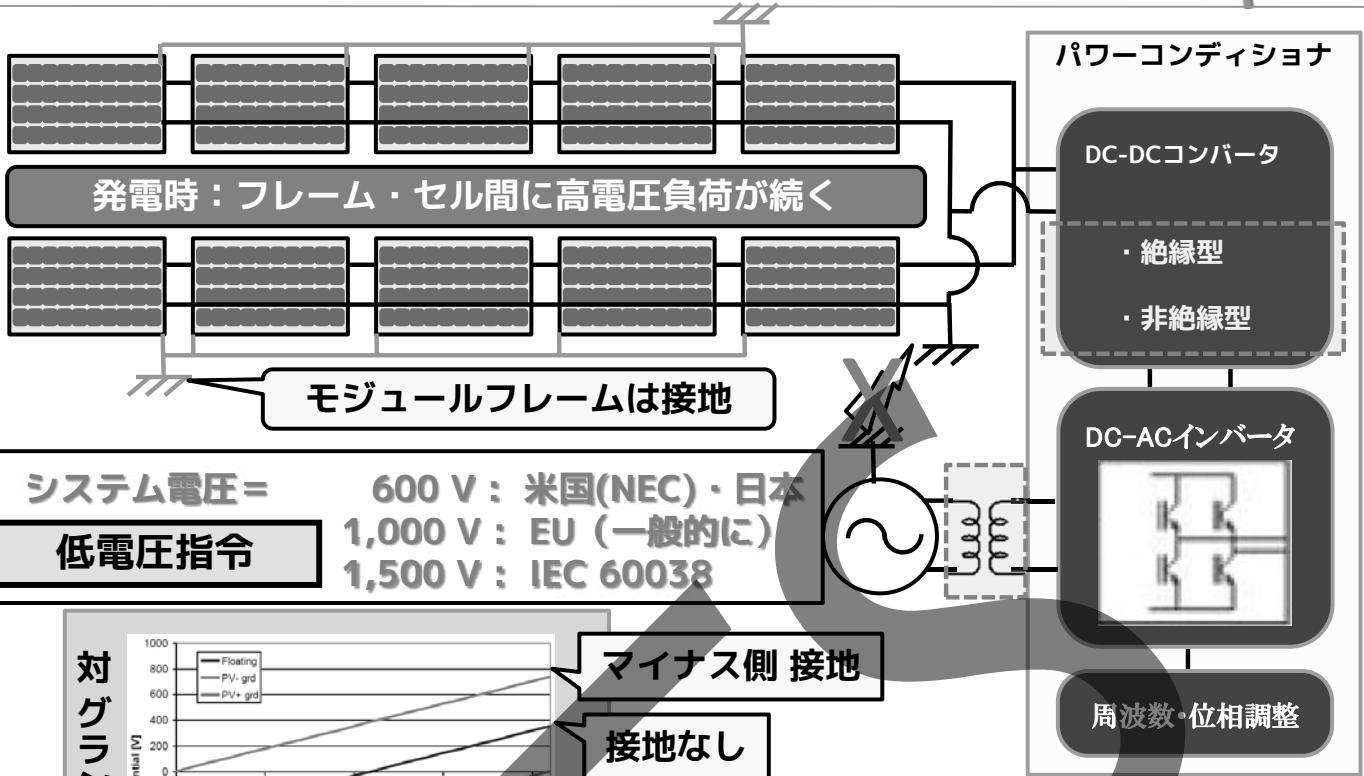
Tested Module's Manufactures
(in alphabetic order)

1. Canadian Solar Inc.,
2. Kyocera Solar (2012/7/11),
3. LG Electronics (2012/8/1),
4. LUXOR Solar GmbH,
5. Q-Cells SE (2012/6/7),
6. REC Solar,
7. SCHOTT Solar AG,
8. S-Energy,
9. Sharp Solar (2012/7/20),
10. Solarwatt AG,
11. Suntech Power,
12. Trinasolar,
13. Yingli Green Energy Holding Co., Ltd.

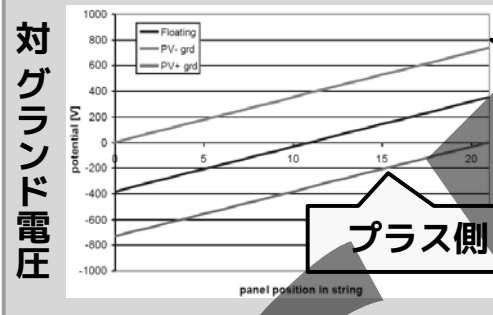


太陽光発電システム（最大システム電圧 / PCS / 接地）

ESPEC



システム電圧 = 600 V : 米国(NEC)・日本
 低電圧指令 1,000 V : EU (一般的に)
 1,500 V : IEC 60038



マイナス側 接地

接地なし

プラス側 接地

EU : 接地なし / 非絶縁

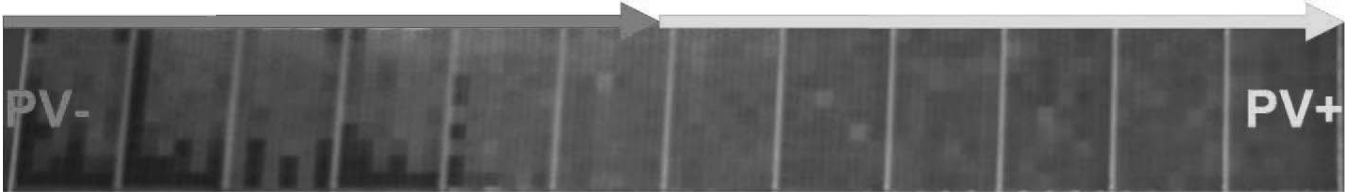
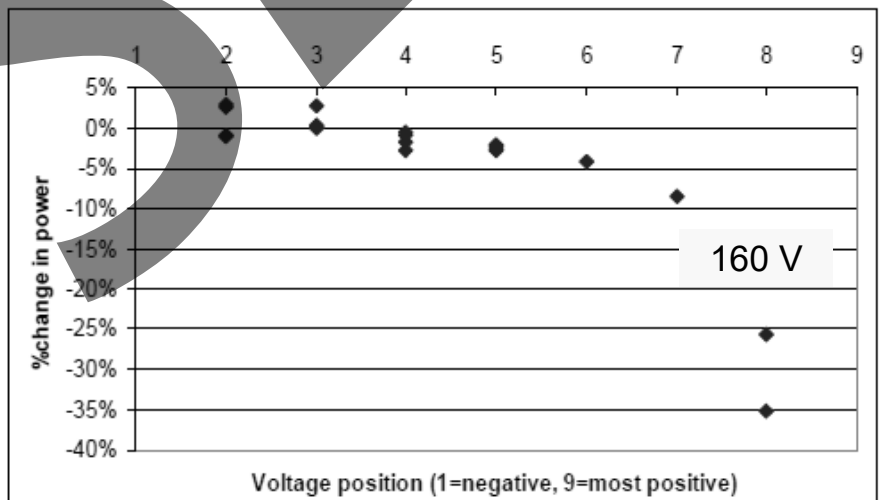
米国 : 接地(-) / 絶縁型

屋外曝露でのPID現象 (c-Si)

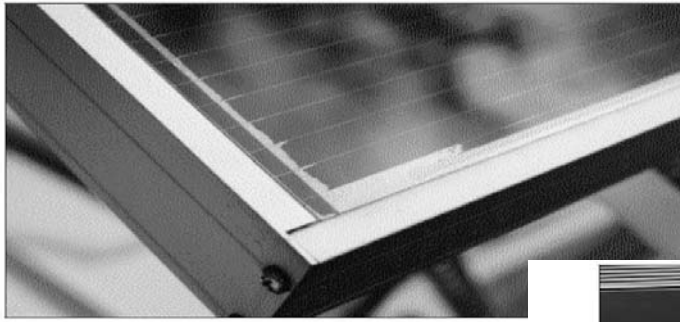
ESPEC

Polarization <c-Si>
 Swanson
 (SunPower), 2005
 PVSEC

Change in power versus module position in several series connected strings after several months of outdoor operation.



Potential Induced Degradation <c-Si>
 Pingel et al. (SOLON), 2010 IEEE-PVSC
 Berghold et al. (SOLON), 2010 EU-PVSEC



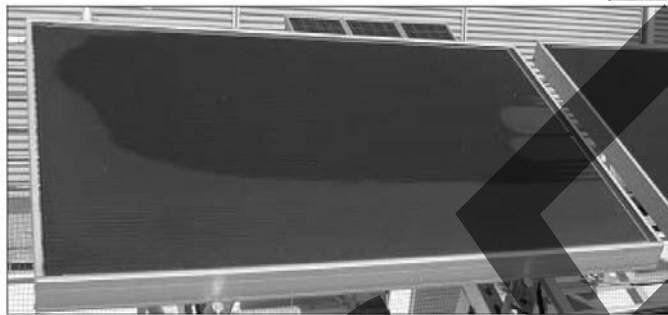
← 8ヶ月

Figure 18: Module biased at -600 V after eight months

12ヶ月 →



considerable delamination in the -600 V biased modules (12 months).



← 27ヶ月

HADAGALI (2005), UCF.

"HIGH VOLTAGE BIAS TESTING AND DEGRADATION ANALYSIS OF PHOTOVOLTAIC MODULES"

Figure 21: -600 V biased module after deployment for 27 months.

PID: Historical Overview

1. JPL : Flat-plate Solar Array (FSA) Project 1975-1985
 Electrochemical Corrosion
 50% Failure Rate = 0.1 ~ 1 C/cm (c-Si)
2. NREL / FSEC Works 1998-
 Outdoor Exposure with High Voltage Stress
 Leakage Current: Path / Circadian Variation -----
3. SunPower Works 2005-
 "Surface Polarization Effect"
4. NREL: Test-to-Failure Protocol 2008-
 Damp Heat with High Voltage Bias
5. Solon / NREL Works 2010-
 in 36th IEEE PVSC and 25th EU-PVSEC

Definitions – this standard will cover

← Electrochemical corrosion
c-Si
Mon & Ross
JPL, 1985

CELL - SHOWING METALLIZATION DISSOLUTION AND MIGRATION

CELL - SHOWING METALLIZATION DELAMINATION

Polarization →
c-Si
Swanson
SunPower, 2005

Field Performance Decreased 20%
After Several Months Operation

Electroluminescence of mc-Si module strings indicating shunting in the negative portion of a center mounted or floating string
S. Pingel et al., "Potential Induced Degradation of Solar Cells and Panels," 35th IEEE PVSC, Honolulu, 2010, pp. 2817-2822.

← Delamination, corrosion
a-Si
Wohlgemuth
BP Solar, 2000

Other power loss →
thin-films
unpublished

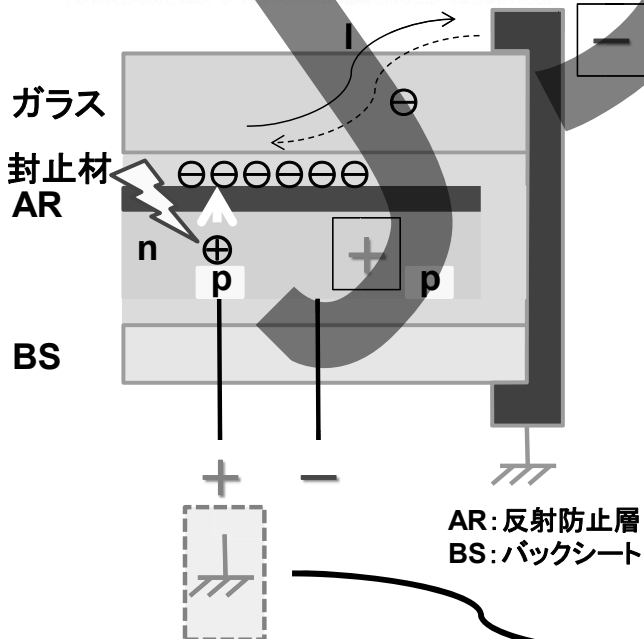
NATIONAL RENEWABLE ENERGY LABORATORY

P. Hacke, "Proposal for PID sensitivity tests", SOPHIA Workshop PV-Module Reliability 2012 7

PID: 提案されている故障メカニズム

高システム電圧負荷の影響: セルレベル

"Surface Polarization Effect"



システム電圧により、グランド(フレーム)に対してセルがプラスになると、

↓
封止材のセル側(AR-封止材界面)に電子が集積

↓
封止材 = ゲート様機能
AR = インシュレータ様機能

↓
光により分離されたホールは、(本来はp域へドリフトするが)セル表面の電子と再結合
→ 発電効率の低下

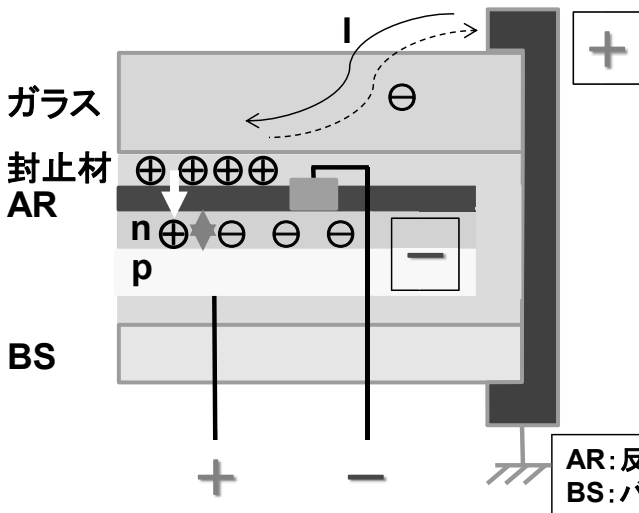
+

n域でのn+/n構造の攪乱(空乏層の変化)
→ 発電効率の低下

出カラインのプラス側を接地することで、セル内の電圧分布を修正し、この悪影響を避けることは可能。

PID: 提案されている故障メカニズム

高システム電圧負荷の影響: セルレベル

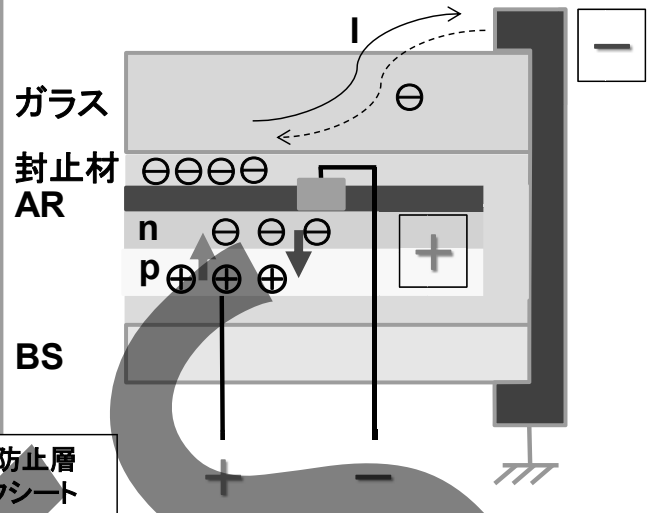


グランドに対してセルがマイナス

セル表面に集積したプラス電荷でバンド構造が変形する。

↓

pn接合部のシャント抵抗低下。
→ 発電効率の低下



グランドに対してセルがプラス

プラス電荷がセル中から表面に移動し、pn接合部にプラス電荷が集積(電子も)。

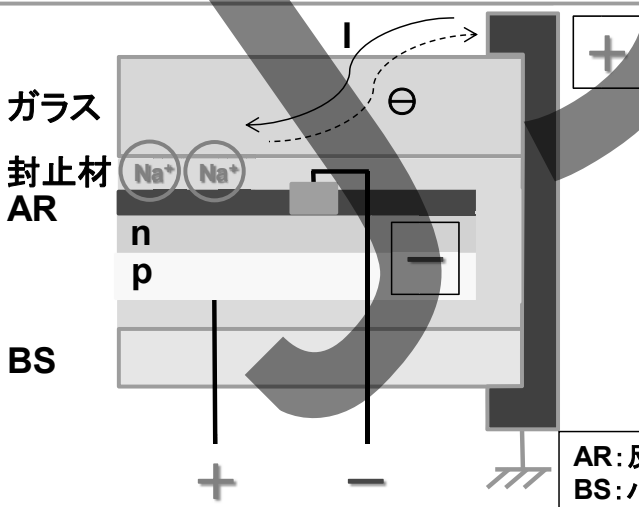
↓

pn接合部のシャント抵抗低下。
→ 発電効率の低下

PID: 提案されている故障メカニズム

高システム電圧負荷の影響: モジュールレベル

結晶シリコンタイプ (劣化メカニズムは未解明部分が多い) ← 侵入水分の影響大

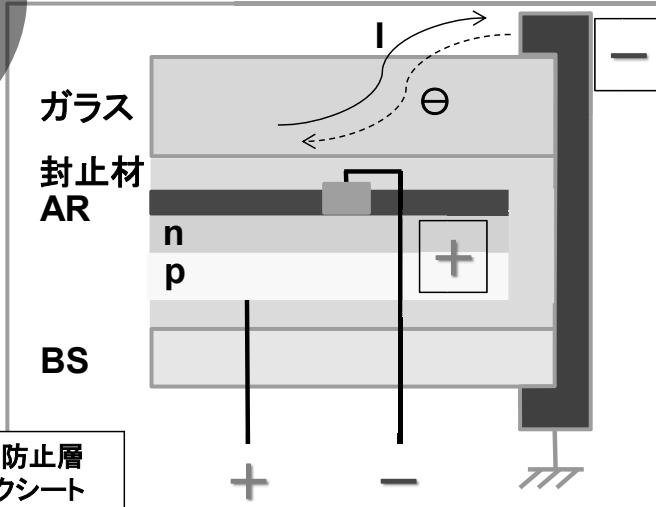


グランドに対してセルがマイナス

セル表面にNaイオンが集積(析出)。
封止材剥離・インタコネクト酸化・銀フィンガ剥離・BS焦げ

↓

発電効率の低下(大きい)



グランドに対してセルがプラス

銀フィンガ腐食・裏面電極劣化・封止材劣化・イオン輸送(バスライン→端部)・フレーム腐食・BSクラック・端部EL輝度の減少

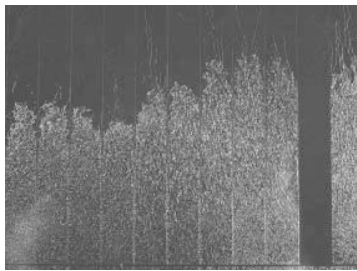
↓

発電効率の低下(比較的小さい)

PID: 提案されている故障メカニズム

高システム電圧負荷の影響: モジュールレベル

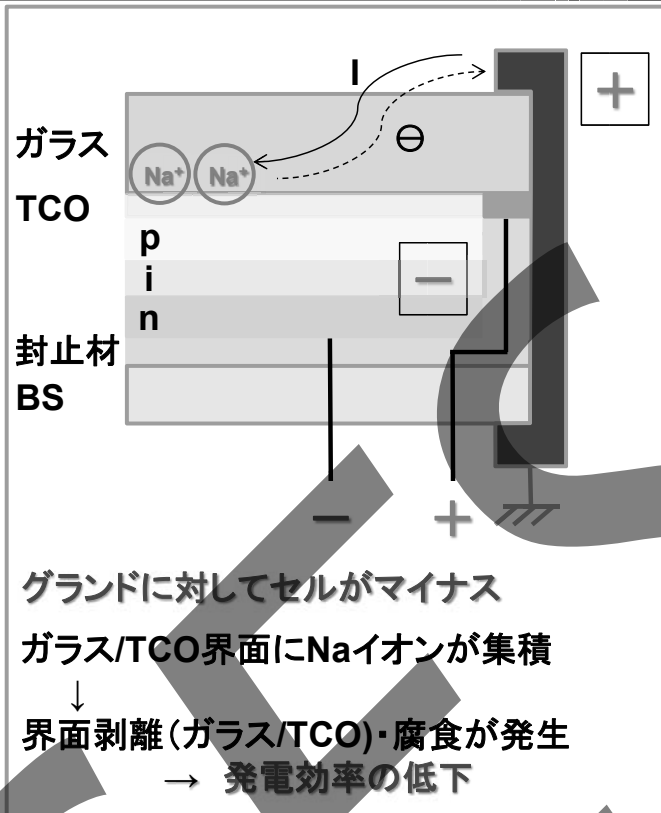
薄膜タイプ (劣化メカニズムは未解明部分が多い) ← 侵入水分の影響大



“Bar Graph” Corrosion

硼硅酸ガラスでは起こらない。

Osterwald et. al. (2003)
Solar Energy Materials and Solar Cells 79: 21-33



PID: 提案されている故障メカニズム

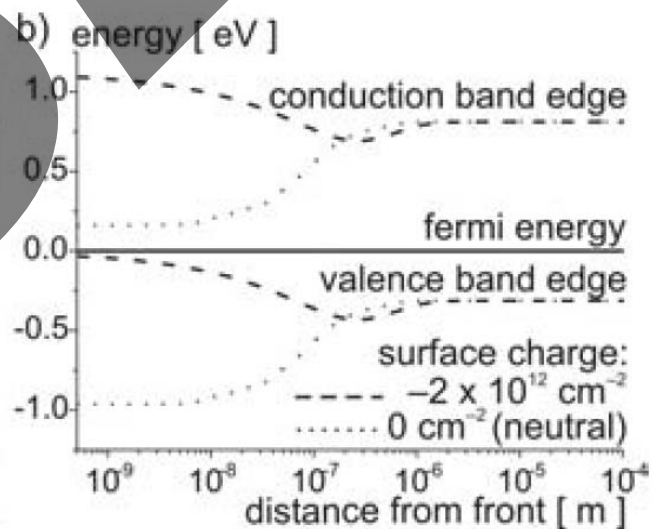
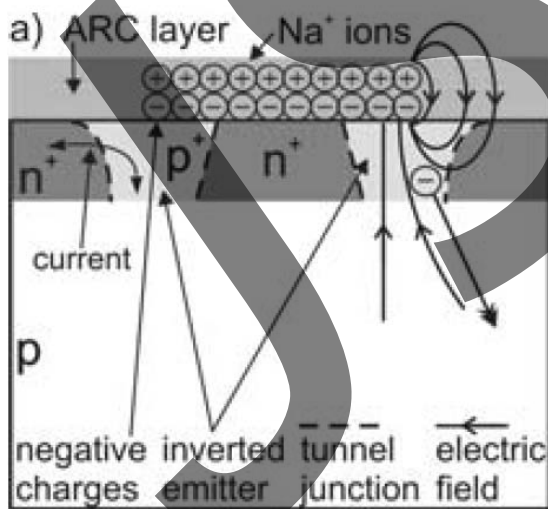


Figure 3 (online colour at: www.pss-rapid.com) a) Solar cell cross section: Schematic of the proposed charge double layer leading to the shunt paths in the p-n junction. b) PCID band diagrams for a solar cell without (dotted curve) and with (dashed curve) negative surface charge.

J. Bauer et al., "On the mechanism of potential-induced degradation in crystalline silicon solar cells", Phys. Status Solidi RRL 6, No. 8, 331-333 (2012)

PID: Procedures (Proposed STD & Recent Press Releases)

ESPEC

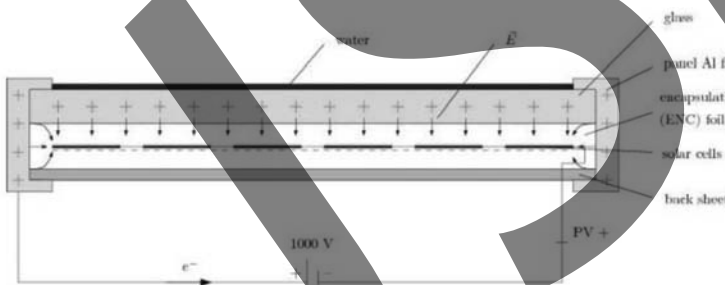
Institution / Manufacture / C-Body / -	Temp. (°C)	Humid. (%)	Voltage (V)	Duration (h)	Cover	
German Multi-Inst./Firm	2011/ 9/ 5	25	-1,000	168	Al / W	
Schott	2011/ 9/ 5	25	-1,000	168	Al	
PI-Berlin	2011/ 9/ 6	85	85	Max S.V.	48	
Fraunhofer-CSP	2012/ 6/ 11	50	50	-1,000	48	Al
Jinko (TuV-SUD / CSA)	2012/ 8/ 6	65	85	-1,000		
Suniva (PV Evolution)	2012/ 8/ 14	85	85	±1,000	600	
Yingli (Intertek)	2012/ 8/ 21	85	85	1,000	96	
Panasonic (Chemitox)	2012/ 9/ 19	60	85	1,000	96	
LDK (TuV-R / PV-Lab.)	2012/ 9/ 24	25		1,000	168	Al / W
NREL (IEC)		60	85	Max S.V.	96	

Max S. V. = Maximum System Voltage (given by label)

13

PID: Proposed Procedures

ESPEC



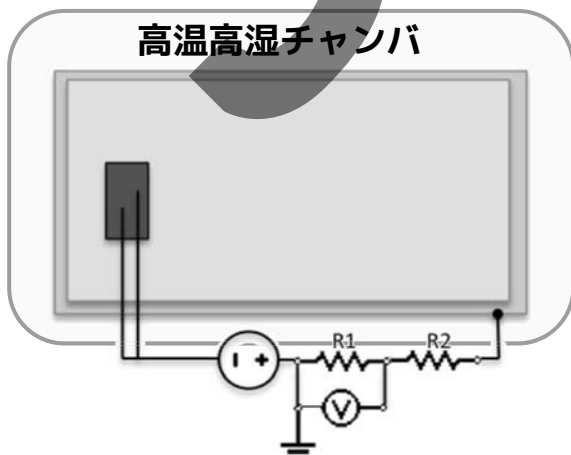
Berghold et. al. (2010) EU-PVSEC

(1) 水膜法



Photo: Erik Eikelboom 2011:10:17

(2) アルミホイル法 (環境試験器中)



(3) チャンバ法 (環境試験器中)

Hacke et. al. (2011) IEEE PVSC

14

PV Modules:

Commercial Available PV Modules (Mono / Multi c-Si)
6 Models from 6 Manufactures

PID Tests:

1) Covered Water Method

25 °C, - %RH, 168 h

Max Sys. Voltage (Cell: -600 or -1,000 V)

2) Chamber Method

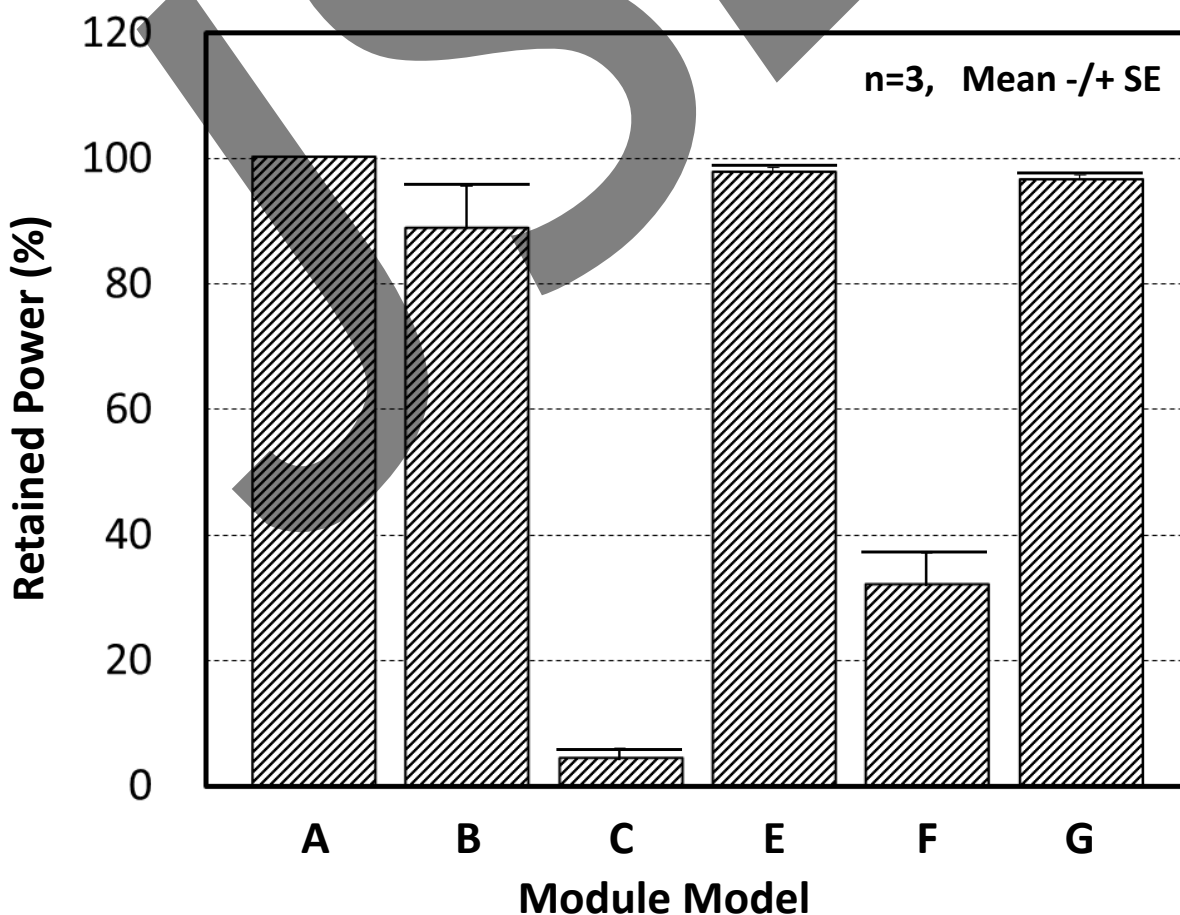
60 °C, 85 %RH, 96 h

Max Sys. Voltage (Cell: -600 or -1,000 V)

*Ref: Koji Masuda, et al. (2013) 太陽エネルギー学会誌

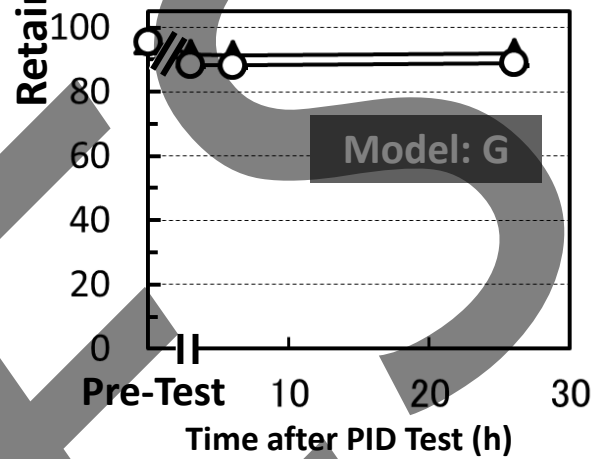
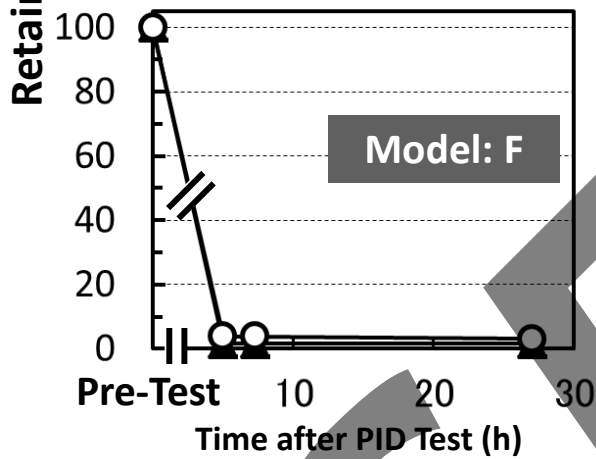
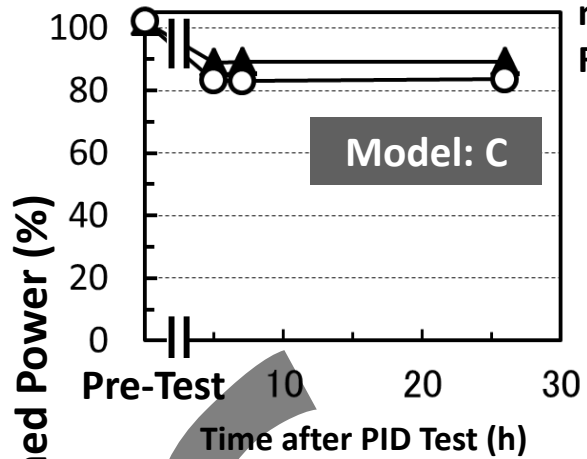
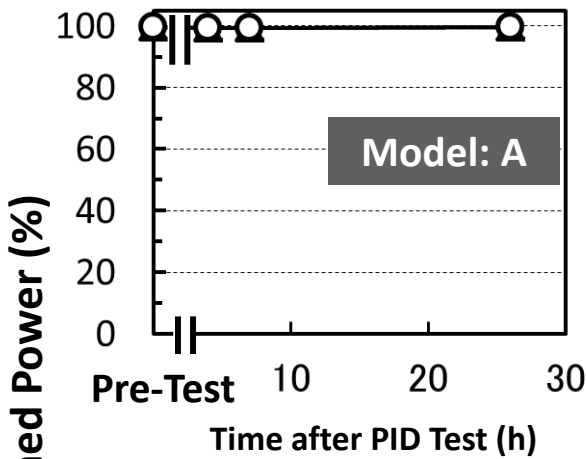
*This work was supported by “Asia Standards and Conformity Assessment Promoting Project ” (METI).

PID: Covered Water Method

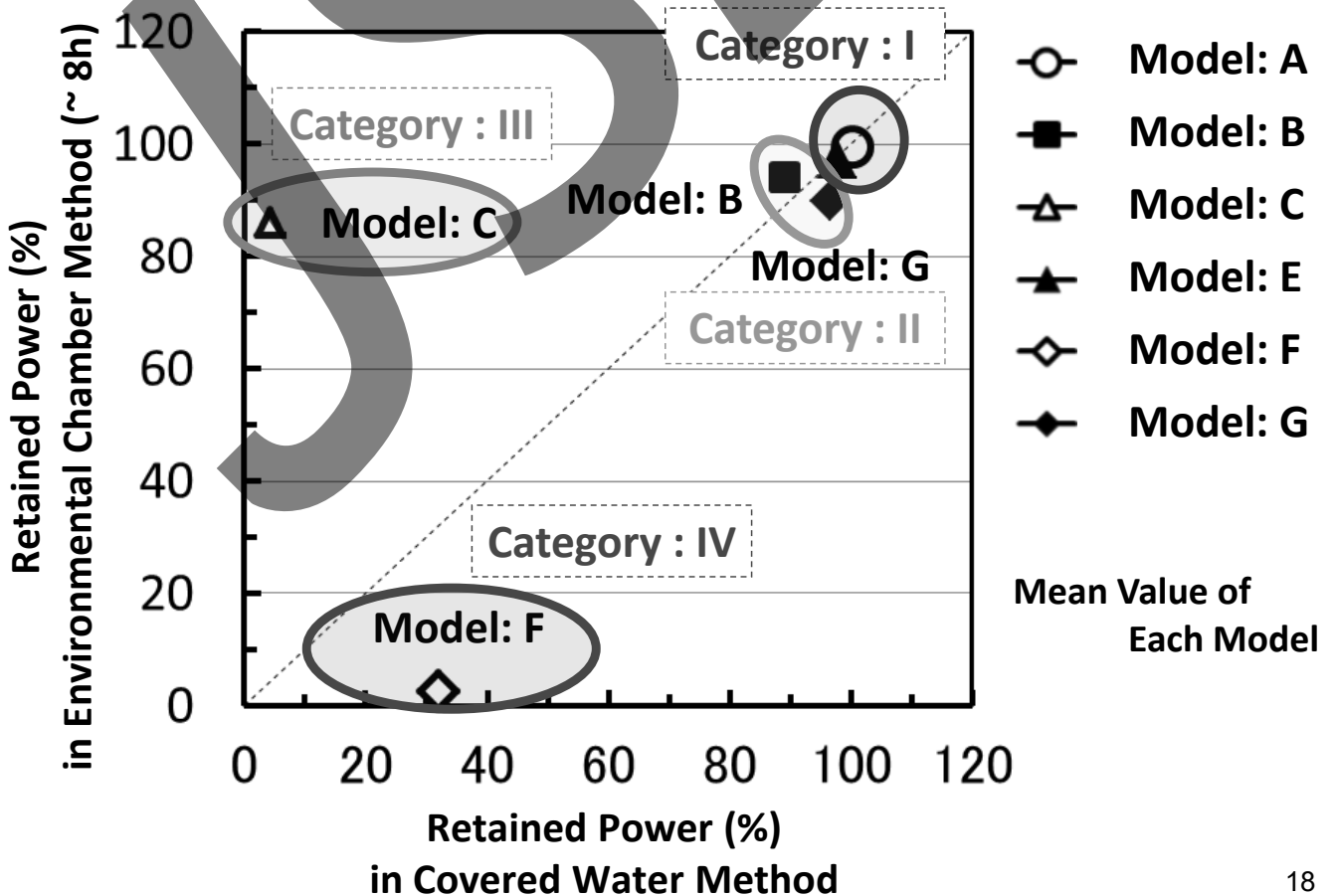


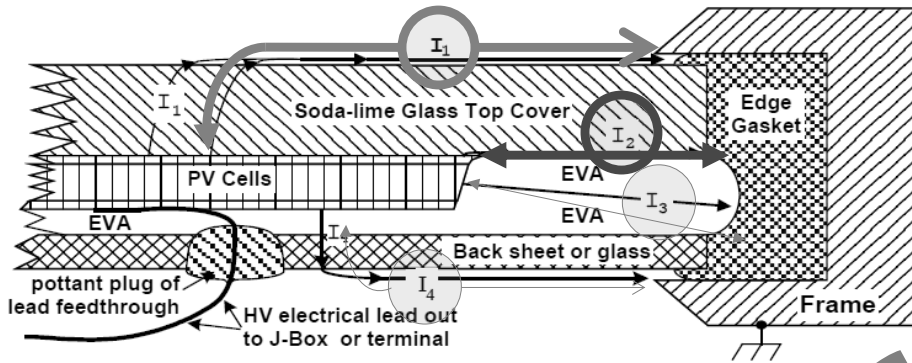
PID: Chamber Method

n=2,
Raw Data



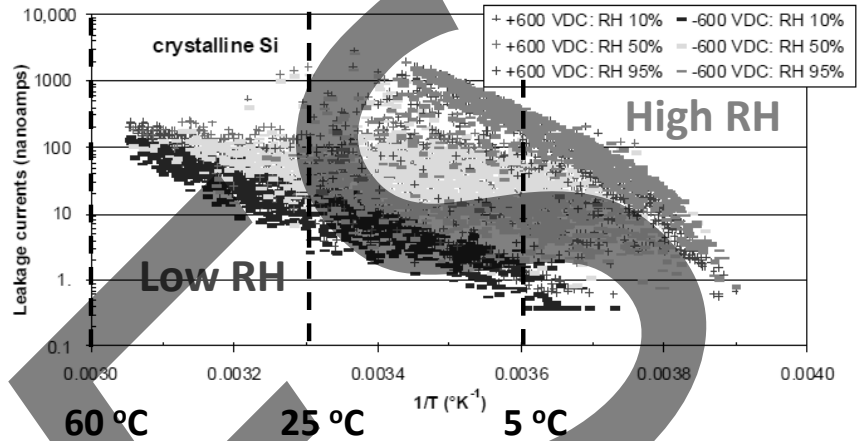
PID: Correlation (Covered Water – Chamber Methods)





Predominant Leak Path

Low RH: Interface I₂
 High RH: Glass I₁



J.A. del Cueto, T.J. McMahon, Prog. In Photovoltaics Res. & App. 10: 15-28 (2002).
 J.A. del Cueto and S.R. Rummel, Proc. SPIE, 7773: 77730J-77730J-11 (2010)

エスペック：PID評価システム（外観イメージ）



- ・ PVモジュールのPID試験要件（チャンバ法）に対応した、*in situ* リーク電流測定・評価システム。
- ・ システム化により、電源・計測器などの個別購入やセットアップが不要となり、容易にPID評価（リーク電流測定）が可能。
- ・ モジュールサイズに合わせて、チャンバ部の選択が可能。
- ・ 高電圧印加に対応した各種の安全機構を装備。

計測システム部

チャンバ部